

スプリアスのない任意の周波数分解能を得るためのシグマ・デルタ型変調器を使用したPLLのシミュレーション

Application Note

著者： Andy Howard (Agilent EEsof EDA)

はじめに

基準発振器の周波数より細かい周波数分解能を持つフェーズ・ロック・ループ(PLL)の作成を求められることがよくあります。これは、 N と $N+1$ の間で分周比を定義したレートで変えられる、フラクショナル N PLLを使用することで実現できます。しかし、この技術を利用すると、不要なスプリアスが生じます。これを防ぐには、シグマ・デルタ型変調器を使用します。この回路では、分周比が「ディザ」されるため、スプリアスが除去されます。この論文では基本的なPLLの動作、フラクショナル N PLLのシミュレーション、およびシグマ・デルタ型PLLのシミュレーションについて説明します。

PLLの基本的な動作

図1は、基本的なPLLのブロック図です。このPLLは、基準発振器、位相/周波数検波器、チャージ・ポンプ、ループ・フィルタ、電圧制御発振器(VCO)および分周器から構成されます。分周比が定数である場合、PLLはVCOの信号周波数を、正確に基準信号の周波数の N 倍にします。位相/周波数検波器およびチャージ・ポンプは、基準信号の位相が分周されたVCO信号の位相よりも進んでいるか遅れているかに応じて、正または負のチャージ「パルス」を供給します。これらのチャージ・パルスはループ・フィルタにより積分され、チューニング電圧が生成されます。このチューニン

グ電圧は、基準信号と分周された信号の位相が同期するまでVCOの周波数を上下に変化させます。

PLLは、多くの機器で、低いスプリアスと良好な位相ノイズを持つ正確な信号を生成することが必要な場合の周波数シンセサイザとして、使用されます。VCOの信号周波数は、基準信号の周波数または分周比のいずれかが変化すると変更されます。基準信号は、周波数を変更できない安定した発振器によって生成されることが多く、したがって、VCOの周波数を変える場合は、分周比を整数単位で変更します。ここで、 $F_{out} = N \times F_{ref}$ となります。

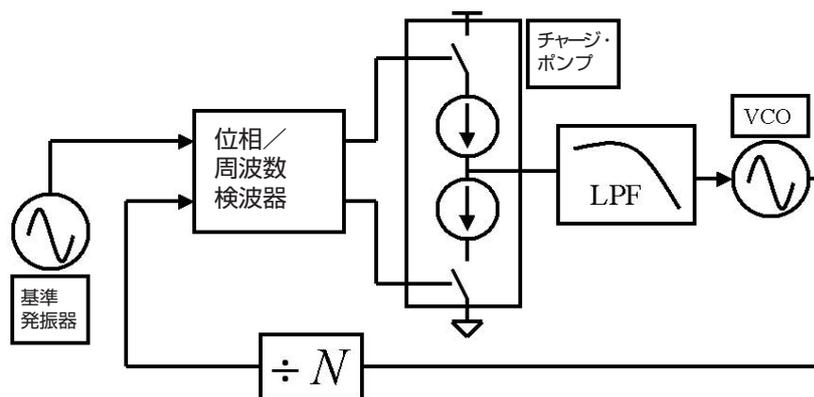


図1 基本的なPLL

ご注意

2002年6月13日より、製品のオプション構成が変更されています。カタログの記載と異なりますので、ご発注の前にご確認をお願いします。



Agilent Technologies

このタイプのPLLの1つの限界は、基準周波数より細かくVCO周波数を変化させることができないことです。もう少し回路を複雑にすると、基準信号と位相/周波数検波器の間に1/M分周器を置くことができます。この場合は、 $F_{out} = (N/M) \times F_{ref}$ となり、VCO出力の周波数は2つの整数分周器の比で決定されます。

ループがロックされていても、PLLの正および負のチャージ・ポンプのミスマッチや理想的でない位相/周波数の検出などの他の要因により生じる小さなチャージ・パルスが依然として出力されます。このようなチャージ・パルスにより、基準周波数と等しいオフセット周波数においてVCO出力スペクトラム内に側帯波、つまりスプリアスが出現します。

これらのスプリアスをどう扱うかについては、設計時にいくつかのトレードオフが必要です。高い周波数分解能を得るには、基準周波数は小さいほうが好都合です。しかし、基準周波数を小さくすると、 F_{out} からの小さなオフセット周波数でスプリアスが生じます。そして、これらのスプリアスをフィルタリングするには、より狭いループ・フィルタの帯域幅が必要です。さらに、より狭いループ帯域幅を持つPLLの過渡セトリング時間(ある周波数から別の周波数に移る時間)も長くなるので、要求した速度で動作しなくなることもあります。参考文献[1]では、PLLのセトリング時間の要件について説明しています。また、PLLのループ帯域幅を狭くすると、ループ帯域幅の外側にあるVCOの位相ノイズも低くなり抑制されます。

高い周波数分解能を得るためのフラクショナルNシンセシス

フラクショナルNは基準周波数より細かい周波数分解能を得るための一般的な手法の1つです。この手法では、分周比は2つの整数値の間で周期的に変化します。図2は、このタイプのPLLのブロック図です。

平均VCO周波数は、参考文献[2]の式(2)から導出されますが、ここに同じものを示します。

$$\text{平均}F_{VCO} = [T_n N F_{ref} + T_{n+1} (N+1) F_{ref}] / (T_n + T_{n+1})$$

これは、以下のように簡約化することができます。

$$\text{平均}F_{VCO} = [N + (T_{n+1}) / (T_n + T_{n+1})] \times F_{ref} = (N + \text{フラクシオン}) \times F_{ref}$$

したがって、分周比のフラクシオン(端数)部分は、デューティ・サイクル(分周器がN+1で分周する時間のフラクシオン)によって決定されます。

このタイプのPLLは、基準クロック・サイクル毎に必要なフラクシオンをアキュムレータ自身に合計するアキュムレータを使用するとモデル化できます(参考文献[2])。アキュムレータの合計がそのアキュムレータの合計カウンタ容量未満であれば、オーバーフロー出力は0となり、分周器はNで除算を実行します。アキュムレータの合計カウンタ容量がリミットに達すると、オーバーフロー出力が発生し、分周比は

N+1に設定されます。必要なフラクシオンが0.1の場合は、アキュムレータは10番目の基準クロック・サイクル毎に1回オーバーフローします。必要なフラクシオンが0.5の場合は、アキュムレータは他の基準クロック・サイクル毎にオーバーフローします。

フラクショナルN PLLの場合、位相/周波数検波器に入力される信号は、同じ周波数ではありません。基準信号は F_{ref} です。また、分周されたVCO信号は、 $(1 + \text{フラクシオン}/N) \times F_{ref}$ です。VCOの場合、この周波数の差は、フラクシオン・ラジアン/基準クロック・サイクルの割合で $N \times F_{ref}$ の周波数の信号より速く進むことを意味します。アキュムレータは、基準クロック・サイクル毎にこのフラクシオンを1回合計します。したがって、アキュムレータはVCOの位相差が進むのと同じ割合で積算されます。アキュムレータのオーバーフローは、VCOの位相差($N \times F_{ref}$ の信号を基準)が 2π ラジアンに達すると同時に生じます。アキュムレータがオーバーフローすると、分周比は1回のサイクル毎にN+1に増えます。これにより、分周されたVCO信号から $2\pi/N$ ラジアンが減算されるため、位相/周波数検波器への入力における2つの信号の位相は再び等しくなります。したがって、位相/周波数検波器への入力における2つの信号の位相差は増加し、アキュムレータの合計が増加しオーバーフローすると同じ割合で0にリセットされます。数値例は参考文献[2]に与えられています。

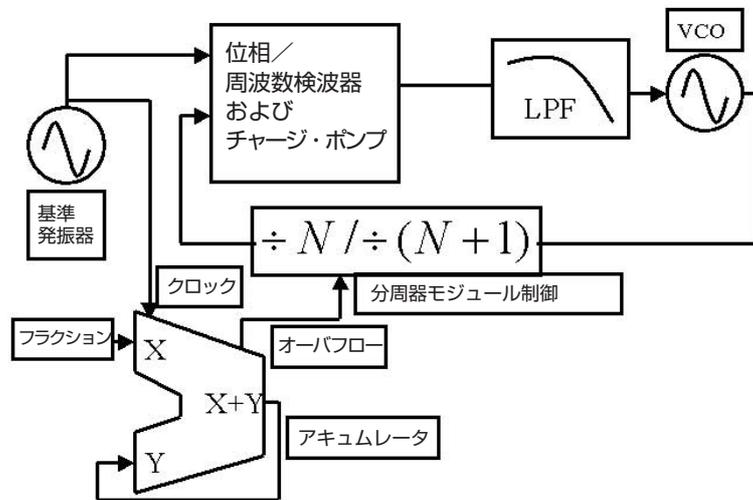


図2 フラクショナルN PLLシンセサイザ

フラクショナルN PLLのシミュレーション

図3は、Agilent EEsofアドバンスド・デザイン・システム2001 (ADS 2001) を使用してフラクショナルN PLLをシミュレーションするためのセットアップです。キルヒホッフの電流式を解く従来の回路シミュレータに数値処理を含めることができる、コシミュレーションを含めることができます。基準周波数、シミュレーションの時間ステップ、アキュムレータのビット幅、公称の分周比、フラクショナルなどの多くのパラメータを、この最上位レベルのスキーマティックで設定します。必要なフラクショナルは、このアキュムレータに入力される定数と等しく設定します。5つの「時間同期sink」コンポーネントがデータを収集し、シミュレーション後に表示します。

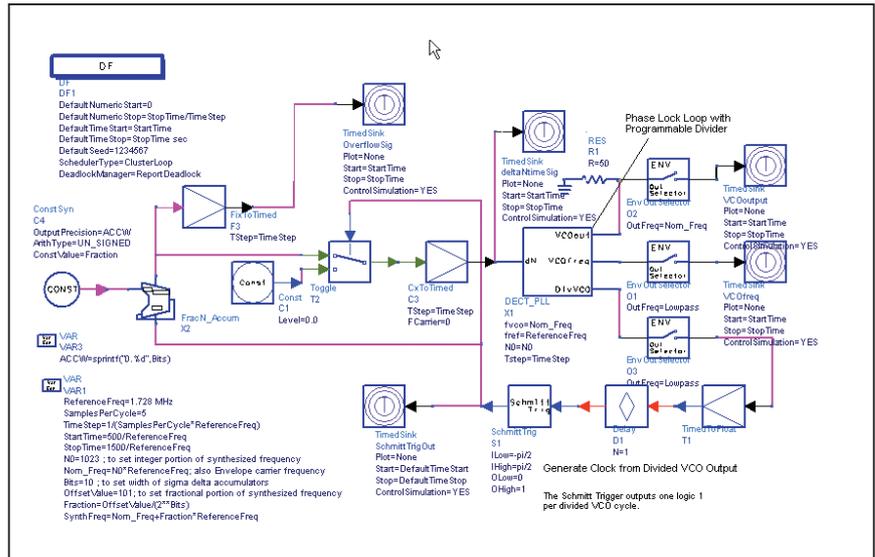


図3 フラクショナルN PLLシミュレーションの設定

図4に示されるPLLサブ回路は、ビヘイビア・モデルの位相/周波数検波器、チャージ・ポンプ、ループ・フィルタ、VCO/N分周ブロック、基準信号源から構成されています。このPLLの設計は、位相マージンの選択を含め、参考文献[1]に説明されています。このPLLの単位利得の周波数が約6600Hzになるよう設計されています。この位相/周波数検波器モデルでは、デュアル・フリップ・フロップを使用し、基準信号源と分周されたVCO信号の間の位相差に依存する持続時間を持つデジタル・パルスを出力します。

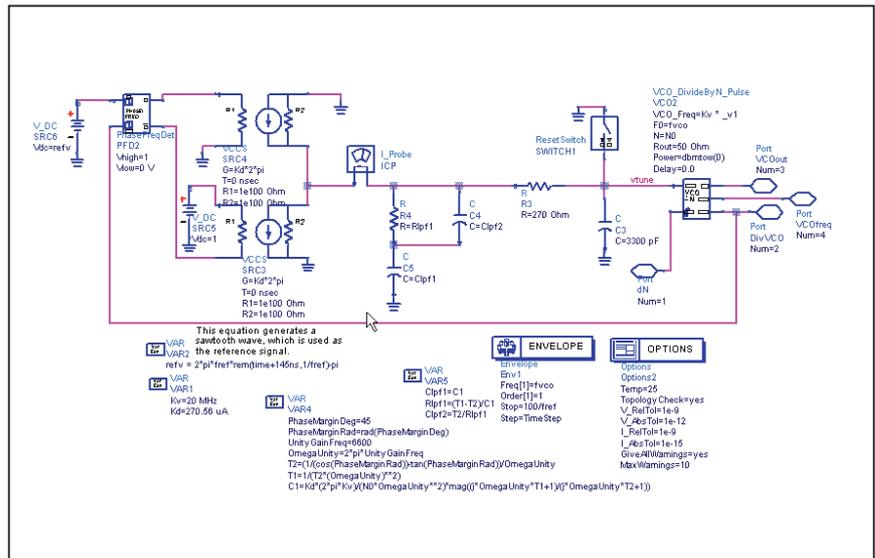


図4 PLLサブ回路

実際のPLLの位相／周波数検波器は非同期です。これは、検波器の入力が、周期的なクロック信号に応答するのではなく、一定のロジックしきい値を通過するときに、検波器の出力が変更されることを意味します。このような回路は、全体のシミュレーション時間がミリ秒であっても、非常に短いクロックエッジ(100ps未満)を捕捉する必要があるため、シミュレーションは時間がかかります。このシミュレーションの位相／周波数検波器モデルでは、時間ステップより細かい分解能で入力信号の遷移時間ポイントを決定するために補間を使用します。また、このシミュレータの時間ステップが固定であるという制限を克服するために、実際には出力信号パルスの振幅を変調します。位相／周波数検波器の動作については、参考文献[3]で詳細に説明されています。この位相／周波数検波器に入力される信号間の位相差をより正確に計算するために、これらの信号は、基準信号源および分周されたVCO信号の位相をモデル化したのこぎり波です。

このシミュレーションのチャージ・ポンプは、2つの電圧制御電流源としてモデル化されています。これは、電流をループ・フィルタに供給するか、フィルタから引き込みます。これらは、非線形のチャージ・ポンプの動作をモデル化するために、電圧制御電流源を理想的でない電流源またはトランジスタに置き換える場合があります。

VCO/N分周ブロックは、より効率的なシミュレーションを行うために、VCOと分周器を1つのビヘイビア・モデルに組み合わせます。このモデルは、ADSの強力なビヘイビア・モデリング機能を活用し、スキマティック上の式を編集するだけで、ビヘイビア・モデルをコンパイルせずに作成および修正できます。このVCO信号を実際に確認する必要のない、一時的またはロック時間のシミュレーションを実行する場合、組み合わせたビヘイビア・モデルによって、分周された信号をサンプリングするのに十分なほど、このシミュレーションの時間ステップを小さくできます。つまり、これは、VCOをサンプリングするのに必要な時間ステップよりも、数桁大きい(すなわち、数桁速い)時間ステップでシミュレーションを実行できることを意味します。

このVCO/N分周ブロックの制御電圧入力、デルタN分周入力、公称の分周比、VCO周波数対チューニング電圧の特性を定義する式を使用しています。瞬时分周比は公称の分周比($N=N_0$)とデルタN分周入力での電圧の合計によって決定されます。このシミュレーションでは、このデルタN分周入力はアキュムレータのオーバーフロー出力からきたもので、0または1です。

このVCO/N分周ブロックの出力は、VCO信号のエンベロープ、その瞬時周波数、およびのこぎり波として分周された信号の位相($-\pi \sim +\pi$)の3つです。分周された信号の位相は正弦波ではなく出力として選択されるので、前に説明したように、2つの入力のこぎり波を比較することにより、位相／周波数検波器は最も正確に動作します。

アキュムレータのモデリング

アキュムレータはシグマ・デルタ型変調器の鍵となる部分です。図5は、アキュムレータのシミュレーションのセットアップです。アキュムレータは、加算器、2つのバス・リッパ、およびデータ・レジスタから構成されています。アキュムレータは、連続的に定数（この場合はフラクション）を自らに加え、積算合計を生成します。第1バス・リッパの出力の演算精度の設定は1.0で、これは加算器出力が1を超える場合に出力を単に1とすることを意味します。これ以外の場合は、0が出力されます。これはアキュムレータのオーバーフロー出力です。もう1つのバス・リッパは、加算器の入力に対してこの加算器の出力のフラクション部分をフィード・バックします。例えば、加算される必要なフラクションが $100/2^{10} = 0.097656$ の場合、10回合計すると加算器出力は1.0742187となり、オーバーフローは1になり、加算器の入力にフィード・バックされる量は0.0742187になります。このシミュレーションでは、この合計で使用されるビット数(精度)を容易に変更できます。

図6は、アキュムレータ出力ののこぎり波の波形と、10回合計が計算されるごとに0と1に切り替わるオーバーフロー・ビットを示しています。シュミット・トリガのブロック(図3)はクロックののこぎり波形をサンプリングし、分周されたVCOサイクル毎にロジック波形を出力します。これにより、アキュムレータのオーバーフロー出力は、クロック・サイクル毎にサンプリングされます。

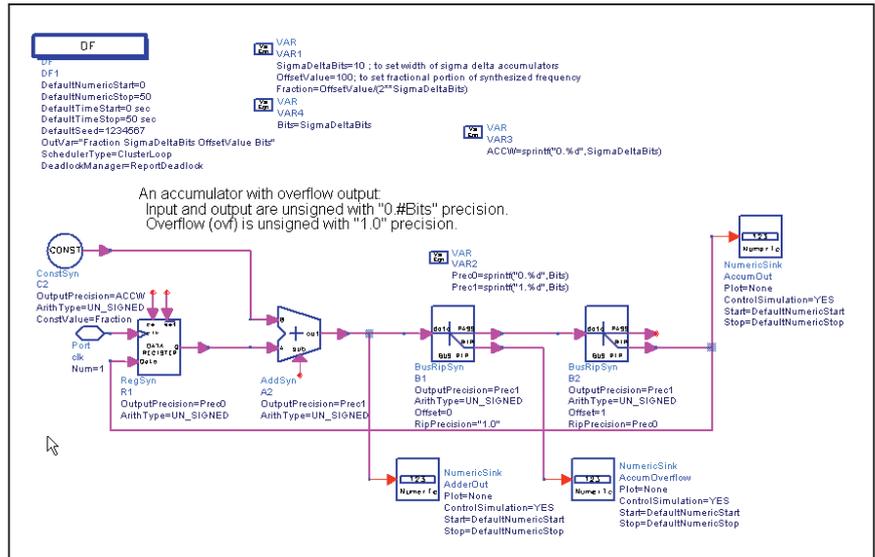


図5 アキュムレータのシミュレーション

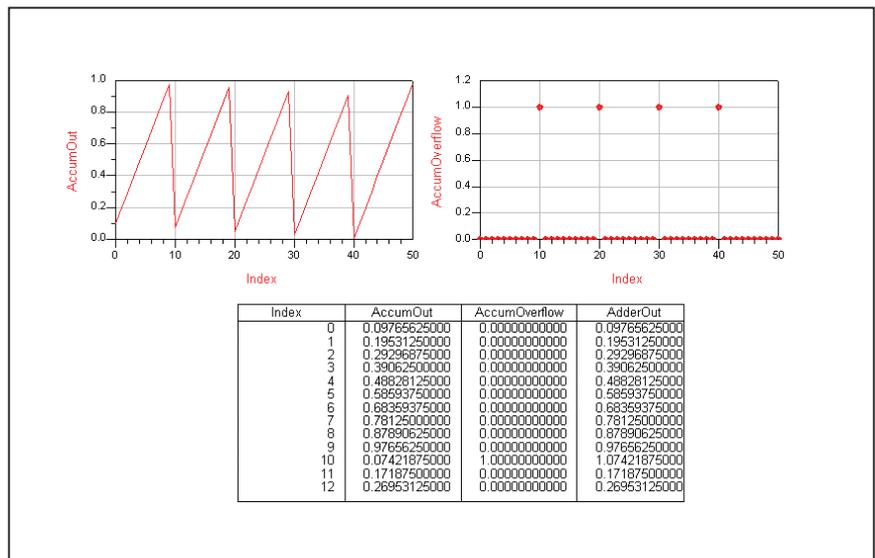


図6 オーバーフロー・ビットを含むアキュムレータのシミュレーション出力

フラクショナルNの コ・シミュレーションの結果

このシミュレーションのセットアップでは、基準周波数 (F_{ref}) が1.728MHz、公称の分周比 (N_0) が1023、アキュムレータで使用されるビット数が10、フラクショナルが101/(2^{10})です。つまり、平均VCO周波数は、(N_0 +フラクショナル) $\times F_{ref}$ = 1.767914GHzとなります。図7は、 $N_0 \times F_{ref}$ を0Hzとした場合の、周波数の関数としてのVCOの出力スペクトラムを示しています。

フラクショナルN PLLにより生成されたスプリアスを、はっきりと識別できます。この信号は (N_0 +フラクショナル) $\times F_{ref}$ にあり、フラクショナル $\times F_{ref}$ の倍数に等しいオフセット周波数に高いスプリアスがあります。図8の周波数エラー・プロットは、周波数とその公称の値の周囲でどのように偏移するかを示します。

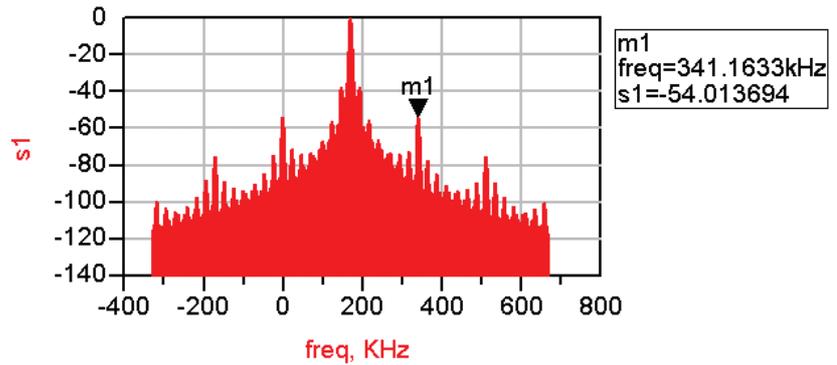


図7 VCO出力スペクトラム

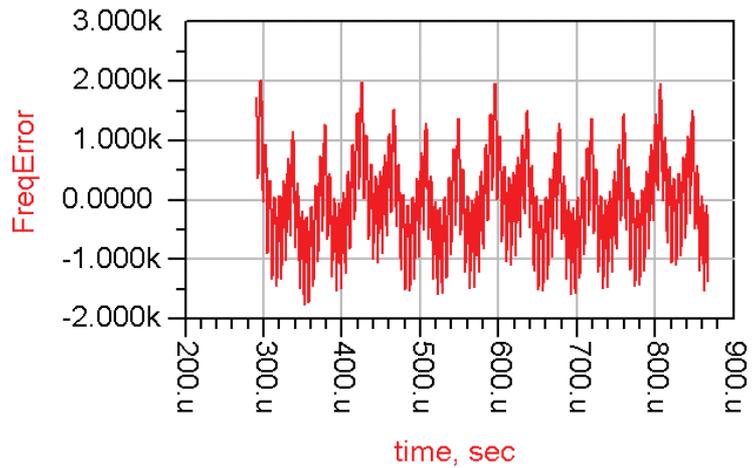


図8 VCOの出力信号周波数エラー対時間

スプリアスを除去するためのシグマ・デルタ型変調器の使用

理想的には、分周比は任意に設定できる連続可変の数であることが望ましく、これによりスプリアスのない連続的な周波数分解能を得ることができます。もちろん、分周器は整数値に設定しなければならないため、これは不可能です。フラクショナルN PLLでは、必要なフラクショナルは1と0のシーケンスに変換され、アキュムレータのオーバーフロー・ビットが1であるときは1となり、このビットがクリアのときは0になります。これは、1ビットのA/D変換器を使用したアナログ・デジタル変換と考えられます。

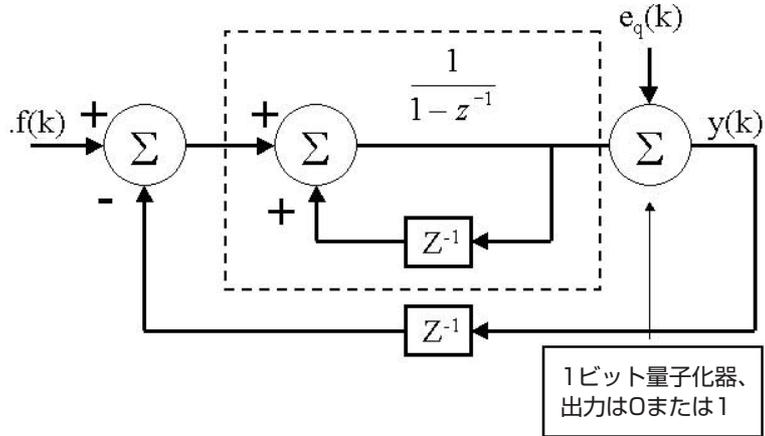


図9 単純なシグマ・デルタ型変調器

参考文献 [2] および [4] で説明されているように、アキュムレータは単純なシグマ・デルタ型変調器であると考えることができます。このような単純なシグマ・デルタ型変調器のブロック図を示したものが図9です。1/(1-z⁻¹) ブロックは基本的なアキュムレータの動作を実装しています。1ビット量子化器は、アキュムレータがオーバーフローする前には0を、オーバーフローが生じたときには1を出力します。オーバーフロー量は入力から減算されますが、これは、結果的にオーバーフローが生じたときにアキュムレータで積算される合計のフラクショナル部分を保持するだけになります。

Z領域 (サンプリングされたデータ、周波数領域) での出力信号 (アキュムレータのオーバーフロー) を算出する式は次の通りです。

$$Y(z) = F(z) + (1-z^{-1}) \times E_q(z)$$

入力信号がランダムに変化すると、量子化エラーもランダムに変化します。また、量子化ノイズはハイパス・フィルタでフィルタリングされます。入力信号をランダムに変化させるには、 $z = e^{j\omega}$ に設定します。低周波数では、

$$1 - e^{-j\omega} \approx 1 - (1 - j\omega + \frac{(-j\omega)^2}{2!} + \dots) \approx j\omega$$

これは0に近づきます。また、

$$e^{-j\omega} = \cos \omega - j \sin \omega$$

したがって、 ω が小さいと、

$$|1 - e^{-j\omega}| \approx |j \sin \omega|$$

となります。

位相ノイズまたはスプリアスもより大きなオフセット周波数へ移動し、VCOのキャリア周波数から遠ざかります。しかし、フラクショナルNシンセサイザの場合には、入力信号は定数であり、量子化ノイズは周期的に (アキュムレータ出力として) 増加します。したがって、VCOの出力スペクトラムには不要な大きな側帯波が存在します。

多段シグマ・デルタ型変調器アーキテクチャの使用

ハイパス・フィルタ型の周波数応答を持ち、周期的な影響を受けない(すなわち、単一のアキュムレータのシグマ・デルタ型変調器のスプリアスの影響を受けない)量子化ノイズを持つ分周比を得るために、図10および参考文献[2]と[4]で説明されているような、多段アーキテクチャをシミュレートしました。

3段変調器を使用したPLLの出力周波数を得る式は次の通りです。

$$F_{out}(z) = N \times F(z) \times F_{ref} + (1-z^{-1})^3 \times F_{ref} \times E_{q3}(z)$$

ここで、 $E_{q3}(z)$ は3段目の変調器の量子化ノイズです。この式は、図10のブロック図から容易に導出できます。この式は周波数ノイズを与えますが、周波数シンセシス・アプリケーションでは、位相ノイズのほうがより重要です。オフセット周波数 f および変調器の段数 m の関数として、量子化ノイズを算出するための位相ノイズの式が、参考文献[2]の中の式(12)です。しかし、この式はPLL内のあらゆるノイズの発生を予測するものではなく、またPLLの帯域幅、フリーラン動作のVCOの位相ノイズ、位相検波器や分周器からのノイズ、およびその他の要因に依存します。

図11は、アキュムレータと微分器を経由して実装された3段シグマ・デルタ型変調器を示しています。このアキュムレータは、クロック入力、積算される入力、オーバーフロー出力(1または0)、アキュムレータの合計のフラクション部分の出力を持っています。

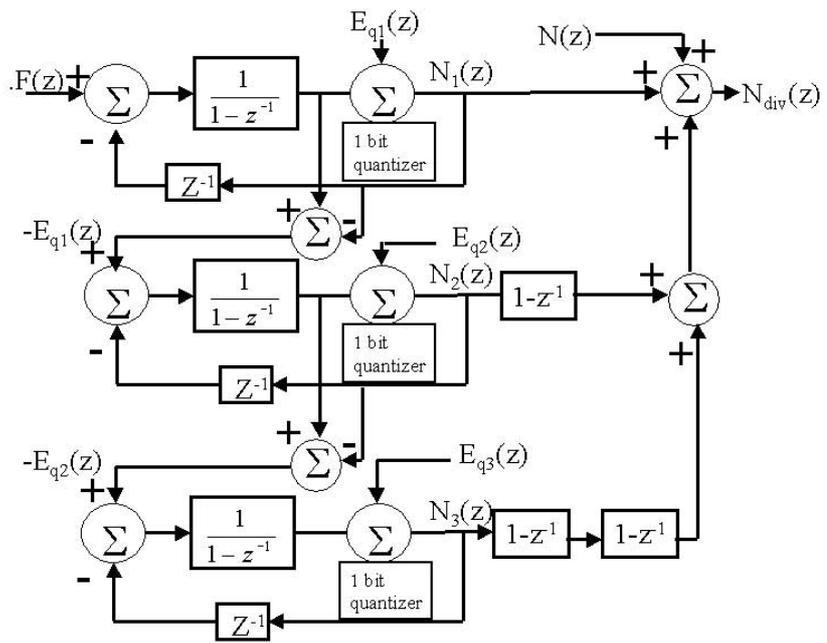


図10 多段シグマ・デルタ型変調器

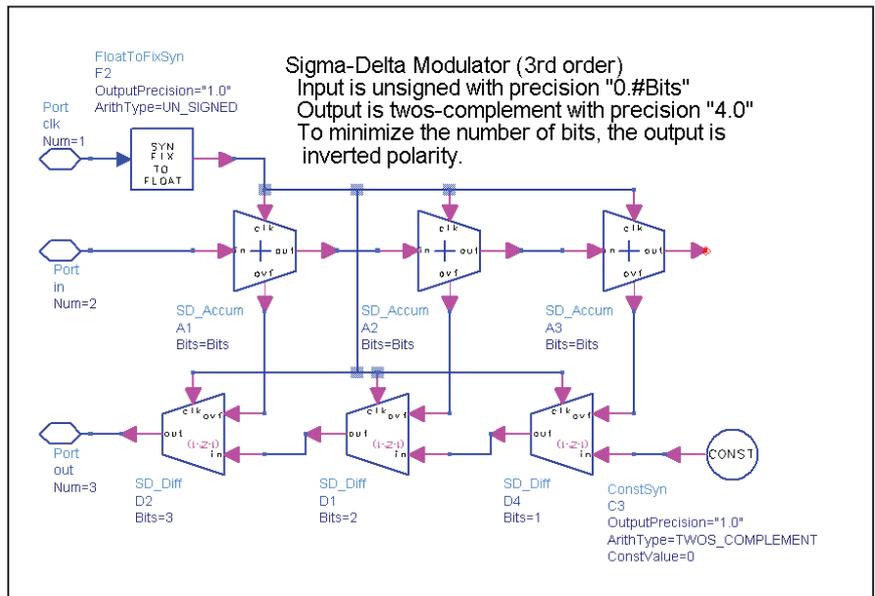


図11 ADSの3段シグマ・デルタ型変調器

微分器のサブ回路を図12で示します。このin入力はデータ・レジスタと加算器を経由して微分され、A-Bまたは(inの電流値) - (1クロック・サンプル前の値)の減算を構成します。その後、結果はovf入力に加えられます。これにより、このサブ回路は微分と加算を行います。

このシグマ・デルタ型変調器のサブ回路は段数と計算の精度を簡単に変更でき、結果のスペクトラムを簡単に見られるように設定されています。図13はADSシミュレーションの全体のセットアップを示していますが、これはフラクショナルNのシミュレーションのセットアップときわめて似ています。実際に、1つの段だけを使用するようにシグマ・デルタ型変調器を構成しても、同じ結果が得られます。

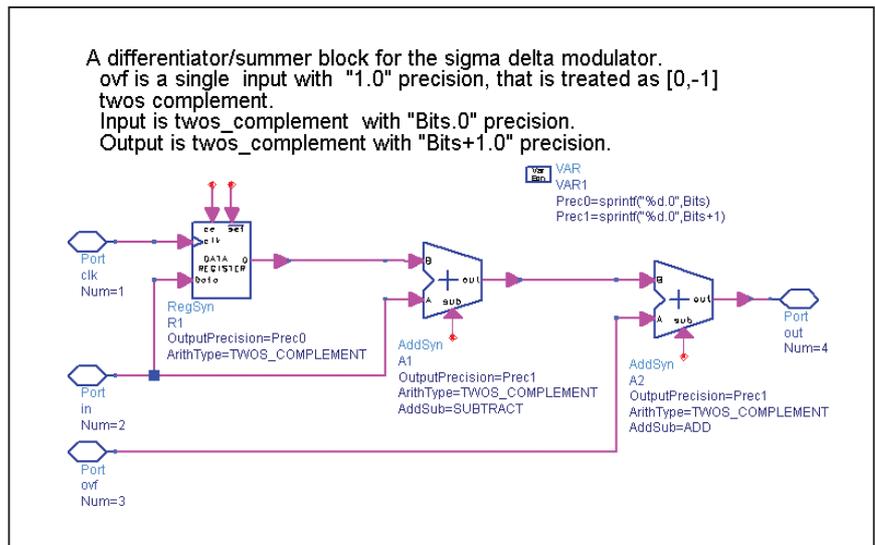


図12 図11のシグマ・デルタ型変調器で使用される微分器のサブ回路

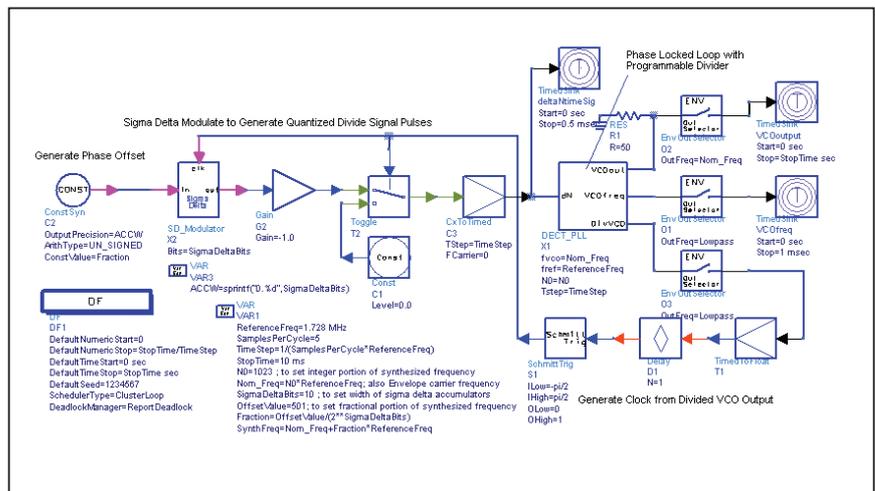


図13 多段シグマ・デルタ型変調器を備えたPLLをシミュレートするためのADSコ・シミュレーションのセットアップ

図14は、シグマ・デルタ型変調器のシミュレートされた出力信号で、時間波形と周波数スペクトラムで示されています。この信号を公称の分周比に加えると、瞬时分周比になります。このスペクトラムが予想通りのハイパス・フィルタ型であることに注意してください。

図15は、シミュレーション結果の出力スペクトラムと至近スペクトラムを表すログオフセット・スペクトラム・プロットです。ループの帯域幅は約20kHzに増加されており、ノイズ・スペクトラムはこのオフセット周波数以上では平らになります。図15のVCOスペクトラムのプロットでは、x軸が絶対周波数ではなく $N0 \times \text{ReferenceFreq}$ の公称解析周波数からのオフセットであることを注意してください。図13では、フラクショナルは $501/(2^{10})$ に設定され、この値に、1.728MHzのときの基準周波数を掛けた値が845.4375kHzです。これは、予想したとおり、公称の解析周波数よりもVCOがどれくらい高いかを示します。

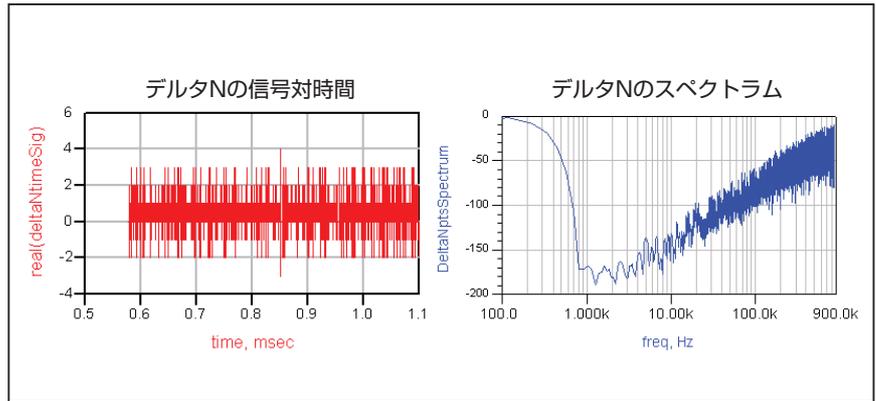


図14 シグマ・デルタ型変調器の出力信号 (公称値からの分周比の偏差)のシミュレーション。時間および周波数領域の両方で表示

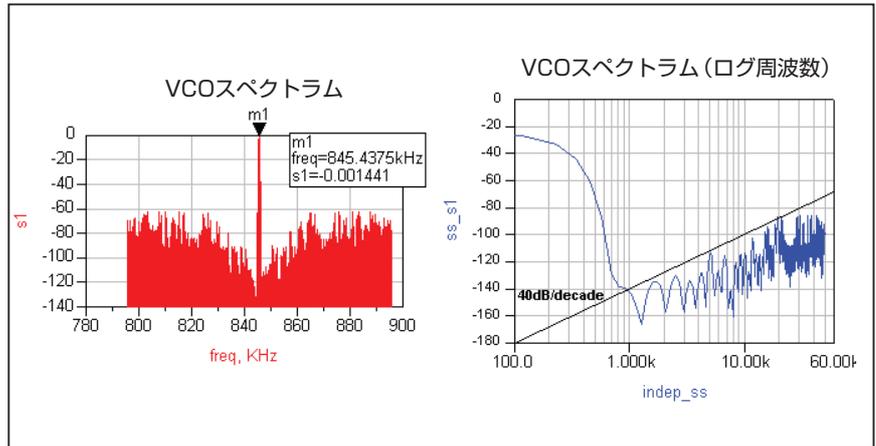


図15 シミュレーション結果のシンセサイザ出力スペクトラム、および至近インスペクトラムを表すログオフセット・スペクトラム・プロット

まとめ

この論文では、Agilent EEsofアドバンスド・デザイン・システム2001により、スプリアスのない出力と高い周波数分解能を達成するために、シグマ・デルタ型変調器を使用したPLLをシミュレートする方法を紹介しました。このシミュレーションでは、ADS 2001の回路エンベロープ、Agilent Ptolemyシミュレータ、およびADSのコ・シミュレーション技術を使用して、ロジック・レベルの機能（アキュムレータや微分器など）や、R、C、およびビヘイビア・モデルなどの回路レベルのコンポーネントをシミュレートしました。この論文では説明されていませんが、トランジスタ・レベルのサブ回路をビヘイビア・モデルの代わりに使用することも可能です。ADS 2001、回路エンベロープ、Agilent Ptolemy、コ・シミュレーションについての詳細、この論文で使用したADS 2001のサンプルファイル（PLL_SigmaDelta_prj.zip）のダウンロードは、www.agilent.com/eesof-eda/にアクセスしてください。

参考文献

1. Franceschino, Albert, "Phase-Locked Loop Primer and Application to Digital European Cordless Phone," Applied Microwaves and Wireless, Fall, 1994.
2. Miller, Brian, "Technique Enhances the Performance of PLL Synthesizers," Microwaves and RF, January, 1993.
3. Agilent Technologies, "Phase-Locked Loop Simulation Using Circuit Envelope," a video available from Agilent EEsof product marketing.
4. Miller, Brian, and Robert J. Conley, "A Multiple Modulator Fractional Divider," IEEE Transactions on Instrumentation and Measurement, Vol. 40, No. 3, June, 1991.

サポート、サービス、およびアシスタンス

アジレント・テクノロジーが、サービスおよびサポートにおいてお約束できることは明確です。リスクを最小限に抑え、さまざまな問題の解決を図りながら、お客様の利益を最大限に高めることにあります。アジレント・テクノロジーは、お客様が納得できる計測機能の提供、お客様のニーズに応じたサポート体制の確立に努めています。アジレント・テクノロジーの多種多様なサポート・リソースとサービスを利用すれば、用途に合ったアジレント・テクノロジーの製品を選択し、製品を十分に活用することができます。アジレント・テクノロジーのすべての測定器およびシステムには、グローバル保証が付いています。製品の製造終了後、最低5年間はサポートを提供します。アジレント・テクノロジーのサポート政策全体を貫く2つの理念が、「アジレント・テクノロジーのプロミス」と「お客様のアドバンテージ」です。

アジレント・テクノロジーのプロミス

お客様が新たに製品の購入をお考えの時、アジレント・テクノロジーの経験豊富なテスト・エンジニアが現実的な性能や実用的な製品の推奨を含む製品情報をお届けします。お客様がアジレント・テクノロジーの製品をお使いになる時、アジレント・テクノロジーは製品が約束どおりの性能を発揮することを保証します。それらは以下のようなことです。

- 機器が正しく動作するか動作確認を行います。
- 機器操作のサポートを行います。
- データシートに載っている基本的な測定に係わるアシストを提供します。
- セルフヘルプ・ツールの提供。
- 世界中のアジレント・テクノロジー・サービス・センタでサービスが受けられるグローバル保証。

お客様のアドバンテージ

お客様は、アジレント・テクノロジーが提供する多様な専門的テストおよび測定サービスを利用することができます。こうしたサービスは、お客様それぞれの技術的ニーズおよびビジネス・ニーズに応じて購入することが可能です。お客様は、設計、システム統合、プロジェクト管理、その他の専門的なサービスのほか、校正、追加料金によるアップグレード、保証期間終了後の修理、オンサイトの教育およびトレーニングなどのサービスを購入することにより、問題を効率良く解決して、市場のきびしい競争に勝ち抜くことができます。世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、製品の測定精度の維持をお手伝いします。

アジレント・テクノロジー株式会社

本社 〒192-8510 東京都八王子市高倉町9-1

計測
お客様窓口

受付時間 9:00~19:00
(土・日・祭日を除く)
※FAXは24時間受け付け

TEL ☎0120-421-345
(0426-56-7832)

FAX ☎0120-421-678
(0426-56-7840)

E-mail: contact_japan@agilent.com

電子計測ホームページ

<http://www.agilent.co.jp/find/tm>

- 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2002

アジレント・テクノロジー株式会社



Agilent Technologies

April 30, 2002
5988-6045JA
0000-08DEP